

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—14227

⑪ Int. Cl.³

G 06 F 1/04

H 03 K 3/64

識別記号

庁内整理番号

7056—5B

6832—5J

⑬ 公開 昭和58年(1983)1月27日

発明の数 1

審査請求 未請求

(全 2 頁)

⑭ タイミング発生回路

⑯ 特 願 昭56—111619

⑰ 出 願 昭56(1981)7月16日

⑱ 発 明 者 杉本悦夫

尼崎市南清水字中野80番地三菱

電機株式会社通信機製作所内

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

タイミング発生回路

2. 特許請求の範囲

(1) クロック信号を発生するクロック発振器と、上記クロック信号を分周する分周器と、この分周器の出力がアドレス信号として入力されて読み出し出力としてタイミング信号を出力するプログラム可能な記憶回路とを備えたことを特徴とするタイミング発生回路。

3. 発明の詳細な説明

この発明は、論理制御装置のタイミング発生回路に関するものである。

従来この種の回路として第1図に示すものがあった。図において、(1)は基本のクロック信号を発生するクロック発振器、(2)はクロック発振器(1)からのクロック信号(4)を $2 \sim 2^n$ に分周する分周器、(3)は分周器(2)の出力(5)から必要とするタイミング信号(6)を取出すためのゲート回路である。

次に動作について説明する。クロック発振器(1)

によつて発生したクロック信号(4)は、分周器(2)のクロック入力に印加され、分周器(2)にて分周され、クロック信号(4)の周期Tに対し周期 $2T \sim 2^n \cdot T$ の分周信号(5)となる。この分周信号(5)をゲート回路(3)のゲート素子にて組合せることにより必要とするタイミング信号(6)が取出せる。

従来のタイミング発生回路は以上のように成されているので、信号のタイミングを変更する場合、ゲート回路の論理を変更しなければならず、回路の変更が必要で、また、回路の汎用性がないなどの欠点があった。

この発明は上記のような従来のものの欠点を除去するためになされたもので、ゲート回路の代わりにプログラム可能な記憶回路を用いることにより、信号のタイミング変更に対し柔軟性を持たせ、また、回路の汎用性を得ることができるタイミング発生回路を提供することを目的としている。

以下、この発明の一実施例を図について説明する。第2図において、(1)は基本のクロック信号(4)を発生するクロック発振器、(2)は上記クロック信

号(4)を $2 \sim 2^n$ に分周する分周器、(5)は分周器(2)にて分周された分周信号、(6)は本回路の出力信号であるタイミング信号、(7)はプログラムが可能な記憶回路、(8)は記憶回路(7)の出力信号の遅延量を補正するラッチ回路である。

次に動作について説明する。

クロック発振器(1)にて得た周期 T なるクロック信号(4)は、分周器(2)のクロック入力に印加され、周期 $2T \sim 2^n \cdot T$ の分周信号(5)が得られる。そしてこの分周信号(5)は、記憶回路(7)のアドレス信号として利用する。

記憶回路(7)には、あらかじめ必要なタイミング信号に相当するデータを記憶しておき、アドレス値が時間に応じて進むに従い、記憶されていたデータを読出し、ラッチ回路(8)にて記憶回路(7)内での遅延量を補正することにより、タイミング信号(6)が取出せる。

例えば、第3図に示すタイミング信号(6)が必要な場合、記憶回路(7)に第4図に示すデータ00を記憶しておき、アドレスを時間が進むに従い、 A_1 、

A_2, \dots, A_{17} と進めていけば上記タイミング信号(6)が取り出せる。なお、第3、4図中の00はタイムスロットである。

以上のように、この発明によれば、プログラムが可能な記憶回路を用いてタイミング発生回路を構成したので、記憶回路のデータを変更することにより任意のタイミング信号を容易に得ることができ、回路の簡素化及び汎用性が得られる効果がある。

4. 図面の簡単な説明

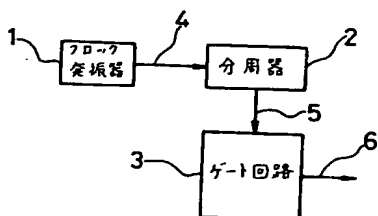
第1図は従来のタイミング発生回路の回路図、第2図はこの発明の一実施例によるタイミング発生回路の回路図、第3図は上記実施例により得ようとするタイミング信号を示す図、第4図はそれを得るための記憶回路のデータを示す図である。

(1)…クロック発振器、(2)…分周器、(4)…クロック信号、(5)…分周信号、(6)…タイミング信号、(7)…記憶回路。

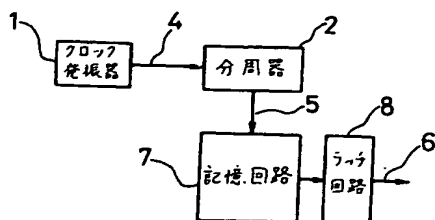
なお図中、同一符号は同一又は相当部分を示す。

代理人 葛野信一

第1図



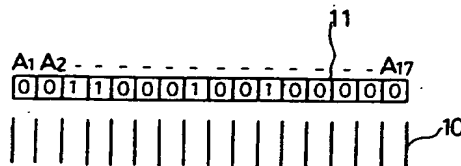
第2図



第3図



第4図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-014227

(43)Date of publication of application : 27.01.1983

(51)Int.Cl.

G06F 1/04
H03K 3/64

(21)Application number : 56-111619

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.07.1981

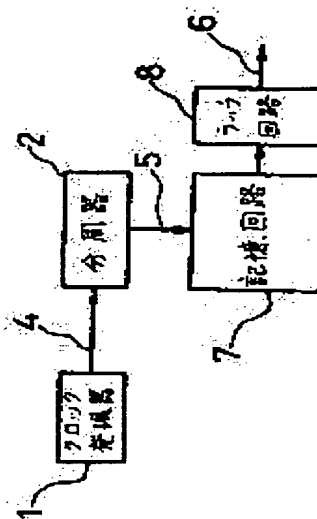
(72)Inventor : SUGIMOTO ETSUO

(54) TIMING GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To provide flexibility for the timing change of a signal and to obtain general-purpose properties of a circuit, by using a programmable storage circuit in place of gate circuits.

CONSTITUTION: A clock signal 4 in period T obtained from a clock oscillator 1 is applied to a clock input of a frequency divider 2 and a frequency signal 5 of periods $2TW2n.T$ is obtained. This frequency division signal 5 is used for an address signal of a storage circuit 7, where data corresponding to a required timing signal is stored in advance, and as the address value progresses with time, the stored data is read out and a delay amount in the storage circuit 7 is corrected at a latch circuit and the result is outputted as a timing signal 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office